

DOSSIER MACHINE





1	CONTENU DU KIT	1
2	UTILISATION DE L'ANALYSEUR LOGIQUE LOGICPORT	1
2.1	LOGICIELS D'EXPLOITATION DE L'ANALYSEUR LOGIQUE LOGICPORT	2
2.2	RESUME DES CARACTERISTIQUES DE LA ANALYSEUR LOGIQUE LOGICPORT	2
3	AFFECTATION DES BROCHES	3
4	INSTALLATION DE L'ANALYSEUR LOGIQUE LOGICPORT	4
5	UTILISATION DE L'ANALYSEUR LOGIQUE	4
5.1	CREATION D'UN PROJET	4
5.2	EDITION DES NOMS DES SIGNAUX	4
5.3	CREATION DE GROUPES	5
5.4	CREATION DES INTERPRETEURS	5
5.5	SELECTION DES SIGNAUX A ANALYSER	5
5.6	REGLAGE DE L'ECHANTILLONNAGE	6
5.6.1	Fréquence d'échantillonnage	6
5.6.2	Mode d'acquisition	6
5.6.3	Seuil logique	7
5.7	REGLAGE DU DECLENCHEMENT (TRIGGER)	7
5.7.1	Type de déclenchement	7
5.7.2	Répartition de la mémoire	8

DOSSIER TECHNIQUE

F2.3 – Utilisation analyseur logique LogicPort

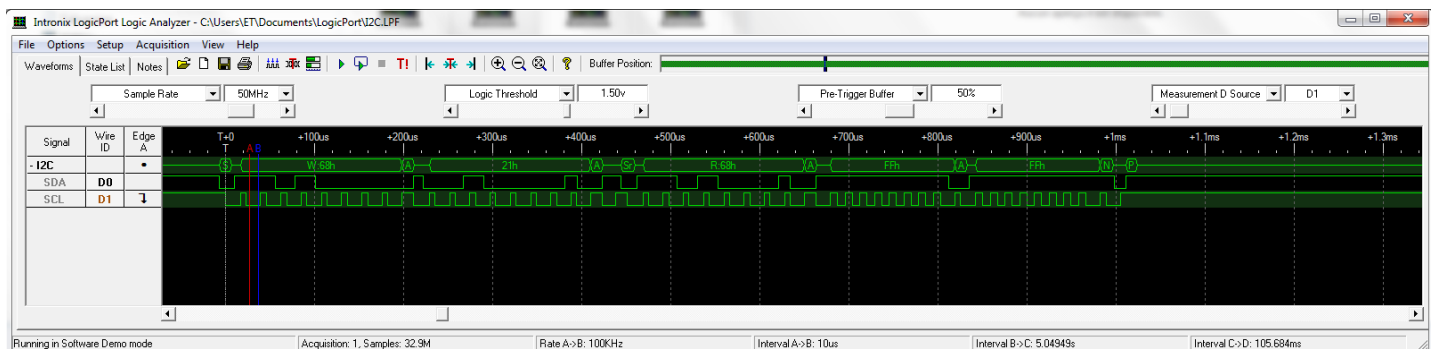


1 CONTENU DU KIT

<p>Analyseur logique LogicPort LA1034 : Analyseur logique 34 voies 500MHz. Il permet de capturer et visualiser des signaux logiques au cours du temps. Il possède également des interpréteurs de protocoles pour analyser plusieurs bus série tels que UART, SPI, I2C et CAN.</p>	
<p>Câble USB A-A : Permet de dialoguer entre le PC et l'analyseur logique. Il alimente également l'analyseur logique dans la limite de consommation d'un port USB (500mA max.)</p>	
<p>Nappe de connexion : Permet de relier les entrées de l'analyseur logique au circuit à analyser</p>	
<p>Lot de 10 mini grippe fils : Permettent de se connecter à des broches de composants ou de connecteurs à relier aux entrées de l'analyseur logique.</p>	

2 UTILISATION DE L'ANALYSEUR LOGIQUE LOGICPORT

L'analyseur logique LogicPort permet de capturer et visualiser des signaux logiques au cours du temps. Il possède également des interpréteurs de protocoles pour analyser plusieurs bus série tels que UART, SPI, I2C et CAN.



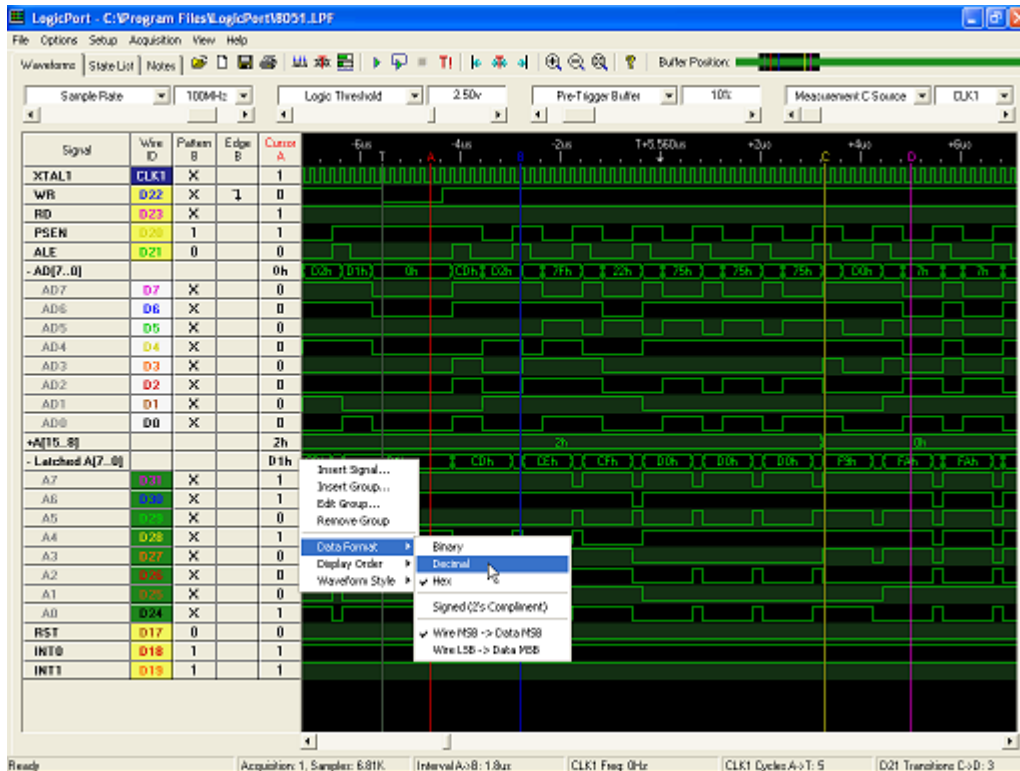
Capture et interprétation des signaux SCL et SDA d'un bus I2C

2.1 Logiciels d'exploitation de l'analyseur logique LogicPort

L'analyseur logique LogicPort se branche à un PC en USB et nécessite le logiciel du fabricant nommé « *LogicPort Application* ». L'installateur est disponible sur le DVD ERM :

\PGPR10\Logiciels\PR09 LogicPort\logicport_2353.exe

Avant de brancher l'analyseur à un port USB, installez ce logiciel afin de faire enregistrer à Windows les pilotes nécessaires pour le faire fonctionner.



2.2 Résumé des caractéristiques de l'analyseur logique LogicPort

- 34 voies numériques
- Fréquence d'échantillonnage 500MHz
- Mémoire de 34 x 2048 échantillons
- Plusieurs modes de déclenchement : front, motif, valeur de bus, nombre d'occurrences, durée
- Interpréteurs de protocoles pour UART, SPI, I2C, CAN
- Plage de tension de fonctionnement : +/-40V DC, 15 V crête à crête AC
- Plage d'entrée dynamique : 10 V crête à crête

3 AFFECTATION DES BROCHES

Numéro du connecteur	Nom du fil	Couleur du fil	Couleur du contact
1	D0	Noir	Blanc
2	D1	Marron	Blanc
3	D2	Rouge	Blanc
4	D3	Orange	Blanc
5	D4	Jaune	Blanc
6	D5	Vert	Blanc
7	D6	Bleu	Blanc
8	D7	Violet	Blanc
9	Masse	Gris	Noir
10	Masse	N/A	N/A
11	D8	Noir	Bleu
12	D9	Marron	Bleu
13	D10	Rouge	Bleu
14	D11	Orange	Bleu
15	D12	Jaune	Bleu
16	D13	Vert	Bleu
17	D14	Bleu	Bleu
18	D15	Violet	Bleu
19	Masse	Gris	Noir
20	CLK1	Blanc	Bleu
21	D16	Noir	Jaune
22	D17	Marron	Jaune
23	D18	Rouge	Jaune
24	D19	Orange	Jaune
25	D20	Jaune	Jaune
26	D21	Vert	Jaune
27	D22	Bleu	Jaune
28	D23	Violet	Jaune
29	Masse	Gris	Noir
30	Masse	N/A	N/A
31	D24	Noir	Vert
32	D25	Marron	Vert
33	D26	Rouge	Vert
34	D27	Orange	Vert
35	D28	Jaune	Vert
36	D29	Vert	Vert
37	D30	Bleu	Vert
38	D31	Violet	Vert
39	Masse	Gris	Noir
40	CLK2	Blanc	Vert

4 INSTALLATION DE L'ANALYSEUR LOGIQUE LOGICPORT

Avant de brancher l'analyseur sur un port USB, installer le logiciel LogicPort Application en double cliquant sur son installateur disponible sur le DVD ERM :

`\\PGPR10\Logiciels\PR09 LogicPort\logicport_2353.exe`

Brancher l'analyseur sur un port USB du PC. Un périphérique USB est détecté et demande l'installation d'un pilote.

5 UTILISATION DE L'ANALYSEUR LOGIQUE

Lancer LogicPort Application avec l'analyseur branché au PC (dans le cas contraire, le logiciel propose un mode « démo »).

L'analyseur logique possède plusieurs paramètres à configurer, nous allons les détailler.

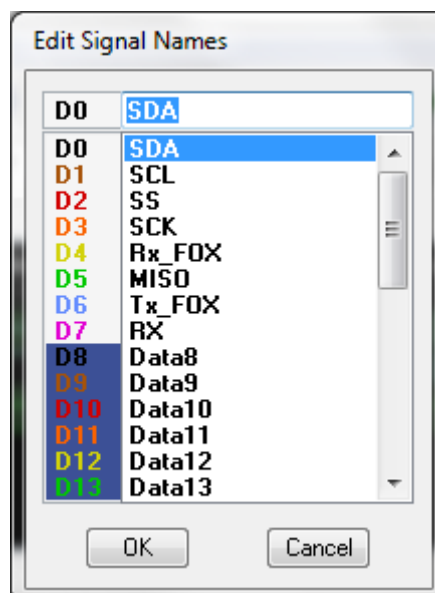
5.1 Création d'un projet

La configuration de l'analyseur peut être sauvegardée dans un fichier projet (extension *.lpf*) de manière à utiliser la configuration entre plusieurs sessions d'analyse.

On crée les fichiers projet par le menu *File -> New*, on les sauve avec *File -> Save* ou *File -> Save As* et on les rappelle avec *File -> Open*

5.2 Edition des noms des signaux

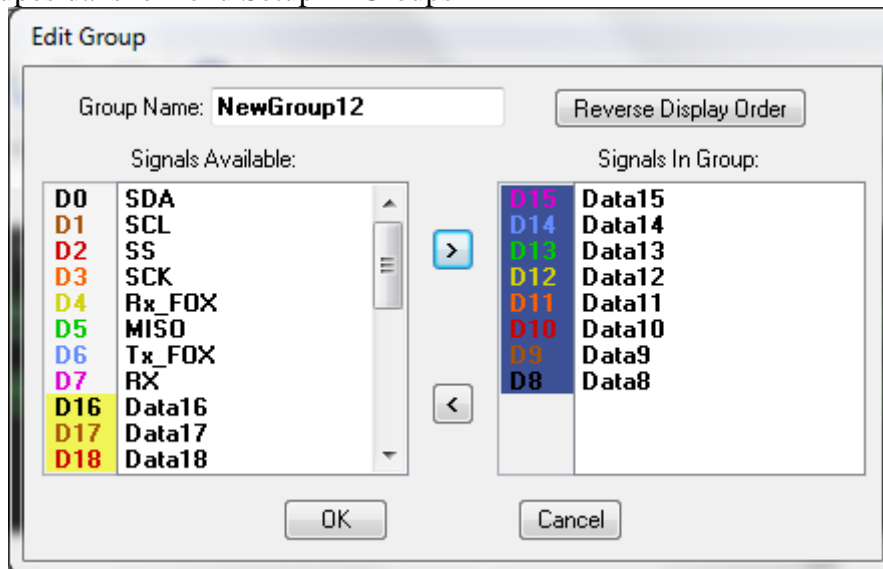
On peut donner un nom plus explicite que D0, D1, ... aux signaux à analyser (par exemple SCL pour l'horloge d'un bus I2C). Pour cela, on peut configurer les noms affectés aux broches de l'analyseur logique en allant dans le menu *Setup -> Signal Names*



5.3 Création de groupes

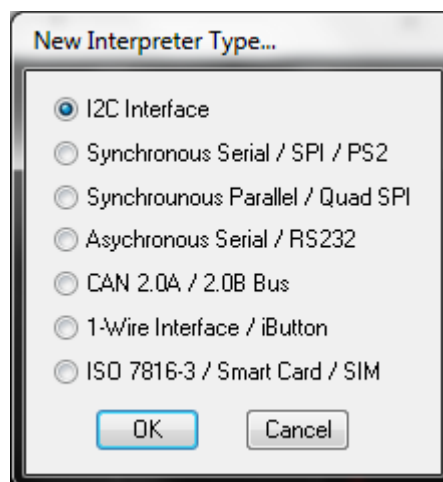
Lorsqu'on veut analyser un bus parallèle, on peut grouper plusieurs signaux afin de visualiser la valeur présente sur le bus (interprétée par l'analyseur). Par exemple, on peut lire la valeur d'un octet en regroupant 8 signaux dans un groupe.

On configure les groupes dans le menu Setup -> Groups



5.4 Création des interpréteurs

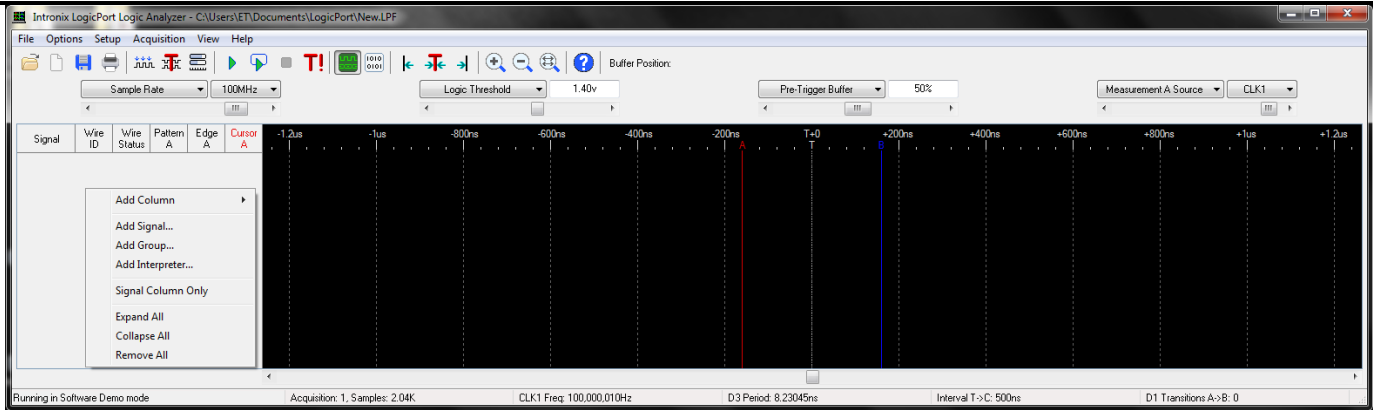
Les interpréteurs permettent de visualiser les données circulant sur des bus séries (UART, SPI, I2C, CAN) de manière lisible pour l'utilisateur.



On crée un interpréteur en ajoutant les signaux nécessaires au protocole sélectionné (par exemple, pour un bus I2C, il faut ajouter les signaux d'horloge, SCL, et de données, SDA).

5.5 Sélection des signaux à analyser

En faisant un clic droit dans la zone grisée à gauche de la zone de visualisation, on peut choisir les signaux, groupes et interpréteurs à acquérir et visualiser.

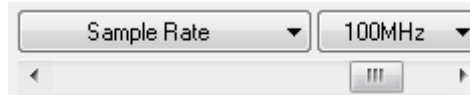


5.6 Réglage de l'échantillonnage

5.6.1 Fréquence d'échantillonnage

Selon la vitesse des signaux à analyser, on règle la fréquence d'échantillonnage de manière appropriée avec la liste déroulante *Sample Rate* et on sélectionne la fréquence dans la liste déroulante immédiatement à sa droite. Par exemple, pour un bus I2C à 100kHz, il faut régler la fréquence d'échantillonnage à 1MHz de manière à avoir 10 points par bit. Cela permet d'avoir une résolution assez fidèle des signaux.

Cependant, plus la fréquence d'échantillonnage est élevée, plus on remplit la mémoire de l'analyseur pour une même durée d'acquisition et moins la durée d'acquisition est importante. Il faut donc faire un compromis entre résolution temporelle et durée d'acquisition.

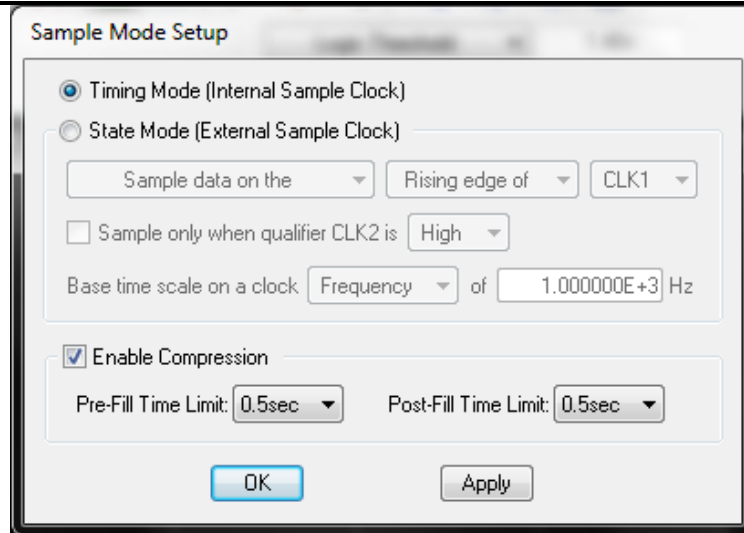


5.6.2 Mode d'acquisition

On peut faire l'acquisition de 2 manières : acquisition temporelle (« *Timing Mode* ») ou acquisition sur état (« *State mode* »). En général, on utilise l'acquisition temporelle pour visualiser les signaux.

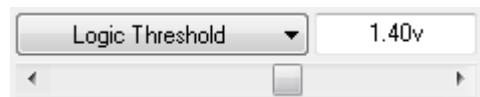
Pour visualiser pendant une durée maximale les signaux, il est intéressant d'activer la compression des données en cochant la case « *Enable Compression* »).

Afin de rafraîchir l'acquisition alors que la mémoire n'est pas remplie, on peut limiter le temps d'acquisition autour de la condition de déclenchement (c'est-à-dire avant le trigger et après). Pour cela, on règle avec le menu déroulant les valeurs « *Pre-Fill Time Limit* » et « *Post-Fill Time Limit* » (en général 0.5 secondes est une bonne valeur).



5.6.3 Seuil logique

L'analyseur logique interprète la tension à l'entrée de chaque signal comme une donnée binaire : elle ne peut avoir que 2 états : haut ou bas. On définit un seuil à partir duquel l'analyseur fait la discrimination entre ces 2 états. Par exemple, pour des signaux logiques à 5V, on peut régler le seuil à mi-plage, à savoir 2.5V. Le seuil se règle avec le curseur correspondant au label « Logic Threshold » (ou en rentrant la valeur au clavier) :



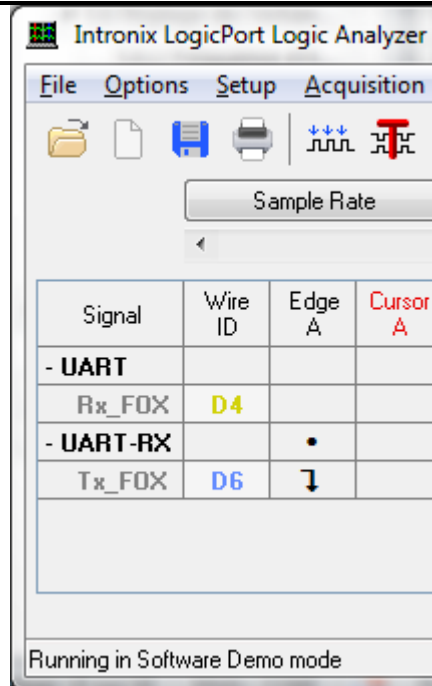
5.7 Réglage du déclenchement (trigger)

Il faut définir les conditions de déclenchement de l'analyseur suivant un événement donné (front montant ou descendant d'un signal, par exemple).

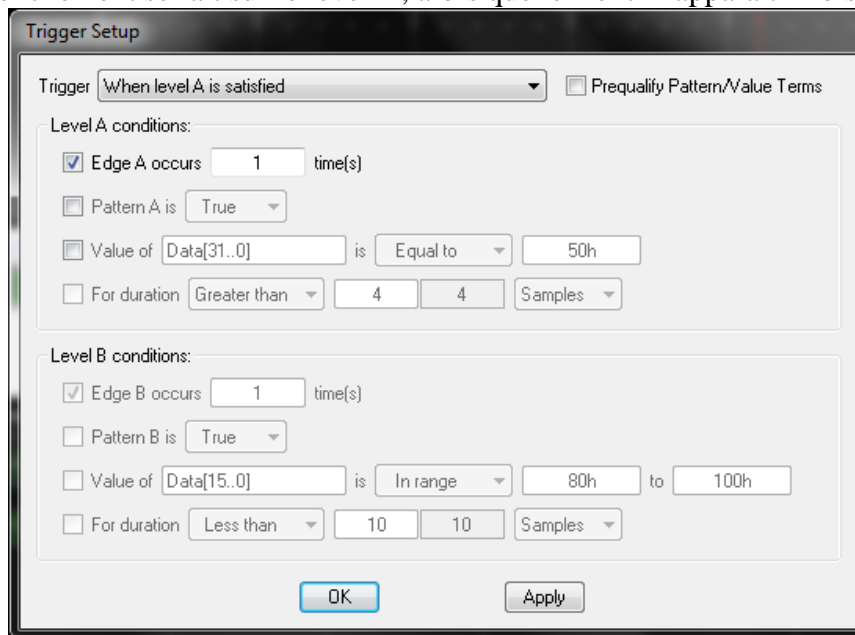
5.7.1 Type de déclenchement

Plusieurs types de conditions de déclenchement sont possibles (se référer à l'aide en ligne du logiciel pour de plus amples informations).

La condition de déclenchement la plus courante est la détection d'un front (montant, descendant, ou les 2) : pour définir le signal déclencheur, on se positionne dans la colonne « Edge A » correspondant au signal et on clique autant de fois qu'il faut pour faire apparaître le symbole, soit d'un front montant, soit d'un front descendant, soit des 2. Dans l'exemple ci-dessous, on déclenche sur un front descendant du signal Tx_FOX :

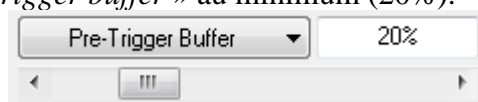


On définit que le déclenchement se fait sur le level A, alors que le front A apparaît 1 fois :



5.7.2 Répartition de la mémoire

Selon ce que l'on veut visualiser on peut décider de répartir la mémoire de l'analyseur plus ou moins avant la condition de déclenchement. Si le trigger est, par exemple, un bit de start d'une uart, la trame à analyser se situera après le trigger. Dans ce cas, on fera en sorte que toute la mémoire soit remplie *après* le trigger. Pour cela, on règle avec le curseur « *Pre-trigger buffer* » au minimum (20%).



Dans ce cas, l'analyseur garde dans mémoire 20% des échantillons acquis avant le trigger et utilise les 80% restants pour les échantillons acquis après le trigger.